

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-270685

(43)Date of publication of application : 27.10.1989

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 63-100901

(71)Applicant : RICOH CO LTD

(22)Date of filing : 22.04.1988

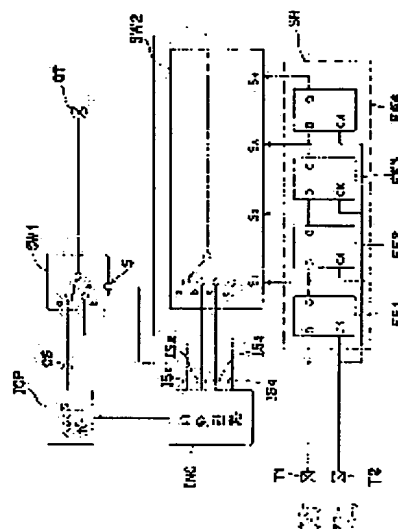
(72)Inventor : TOKI TAKAAKI

(54) INTEGRATED CIRCUIT DEVICE WITH TEST CIRCUIT

(57)Abstract:

PURPOSE: To enable the output of more internal signals by less number of terminals, by forming a storage means as a shift register of natural-number (n-1) bits.

CONSTITUTION: A shift register SR of (n-1) bits stores sequentially first selection signals of serial data of the natural-number (n-1) bits inputted through a selection signal input terminal, synchronously with a clock signal inputted through an output terminal QT used exclusively for a test, the selection signal input terminal, a clock input terminal T1 and a clock input terminal T2. Based on the first selection signal of (n-1) bits outputted from the register SR and a second selection signal of 1 bit inputted through the selection signal input terminal serially in succession to the first selection signal, switches SW1 and SW2 switch alternatively a plurality of internal signals in the number of (n) inputted from an internal circuit INC in an integrated circuit device to a plurality of input terminals in the number of (n), and output them to an output terminal QT. According to this constitution, the output of more internal signals is enabled by terminals of less number.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-270685

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月27日

G 01 R 31/28

V-6912-2G

H 01 L 21/66

F-6851-5F

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 テスト回路付き集積回路装置

⑯ 特 願 昭63-100901

⑰ 出 願 昭63(1988)4月22日

⑱ 発 明 者 土 岐 隆 朗 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 青 山 葆 外1名

明 細 書

1. 発明の名称

テスト回路付き集積回路装置

2. 特許請求の範囲

(1) テスト専用出力端子と、

選択信号入力端子と、

クロック入力端子と、

上記クロック入力端子を介して入力されるクロック

信号に同期して上記選択信号入力端子を介して

入力される自然数 $(n-1)$ ビットのシリアルデー

ータの第1の選択信号を順次格納する記憶手段と、

上記記憶手段から出力される $(n-1)$ ビット

の上記第1の選択信号と上記第1の選択信号に続

いてシリアルに上記選択信号入力端子を介して入

力される1ビットの第2の選択信号に基づいて集

積回路装置内の内部回路から複数 n 個の入力端子に入力される複数 n 個の内部信号を択一的に切り

換えて上記テスト専用出力端子に出力する切り換

え手段とを備えたことを特徴とするテスト回路付

き集積回路装置。

(2) 上記記憶手段が $(n-1)$ ビットのシフト

レジスタであることを特徴とする請求項第1項記

載のテスト回路付き集積回路装置。

(3) 出力端子と、

選択信号入力端子と、

クロック入力端子と、

上記クロック入力端子を介して入力されるクロッ

ク信号に同期して上記選択信号入力端子を介して

入力される複数 n ビットのシリアルデータの第1

の選択信号を順次格納する記憶手段と、

上記記憶手段から出力される n ビットの上記第

1の選択信号に基づいて集積回路装置内の内部回

路から複数 n 個の入力端子に入力される複数 n 個

の内部信号を択一的に切り換えて出力する第1の

切り換え手段と、

上記第1の選択信号に続いてシリアルに上記選

択信号入力端子を介して入力される1ビットの第

2の選択信号に基づいて集積回路装置内の回路か

ら出力される出力信号と上記第1の切り換え手段

から出力される内部信号を択一的に切り換えて上

記出力端子に出力する第2の切り換え手段とを備えたことを特徴とするテスト回路付き集積回路装置。

(4) 上記記憶手段が n ビットのシフトレジスタであることを特徴とする請求項第3項記載のテスト回路付き集積回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、集積回路（以下、ICという。）内の内部回路から出力される内部信号をICの外部に出力するためのテスト回路を備えたIC装置に関する。

[従来の技術]

従来、ICの端子数の制約から内部信号を出力するための端子を備えたICは、一般に少なく、例えば k 個の内部信号を出力するためには k 個の出力端子を備える必要がある。

また、上記 k 個の内部信号をエンコードによって符号化して出力する場合、このエンコードをイネーブルするためのイネーブル信号を入力するた

めの1個の入力端子と、次式を満足する n 個の出力端子の計 $(n+1)$ 個のテスト端子を必要とする。

$$k \leq 2^n \quad \dots (1)$$

例えば、16個の内部信号をICの外部に出力するためには、 $1+1=5$ 個のテスト端子が必要となる。

[発明が解決しようとする課題]

従って、検査したい内部信号の個数が多くなればなるほど、ICの内部信号を外部に出力するためのテスト端子が多く必要になるという問題点があった。

本発明の目的は以上の課題を解決し、従来例に比べて少ない個数の端子でより多くの内部信号を出力することができるテスト回路を備えたIC装置を提供することにある。

[課題を解決するための手段]

第1の発明は、テスト専用出力端子と、選択信号入力端子と、クロック入力端子と、上記クロック入力端子を介して入力されるクロック信号に同

期して上記選択信号入力端子を介して入力される自然数 $(n-1)$ ビットのシリアルデータの第1の選択信号を順次格納する記憶手段と、上記記憶手段から出力される $(n-1)$ ビットの上記第1の選択信号と上記第1の選択信号に続いてシリアルに上記選択信号入力端子を介して入力される1ビットの第2の選択信号に基づいて集積回路装置内の内部回路から複数 n 個の入力端子に入力される複数 n 個の内部信号を択一的に切り換えて上記テスト専用出力端子に出力する切り換え手段とを備えたことを特徴とする。

上記第1の発明において、上記記憶手段が $(n-1)$ ビットのシフトレジスタであることを特徴とする。

第2の発明は、出力端子と、選択信号入力端子と、クロック入力端子と、上記クロック入力端子を介して入力されるクロック信号に同期して上記選択信号入力端子を介して入力される複数 n ビットのシリアルデータの第1の選択信号を順次格納する記憶手段と、上記記憶手段から出力される n

ビットの上記第1の選択信号に基づいて集積回路装置内の内部回路から複数 n 個の入力端子に入力される複数 n 個の内部信号を択一的に切り換えて出力する第1の切り換え手段と、上記第1の選択信号に続いてシリアルに上記選択信号入力端子を介して入力される1ビットの第2の選択信号に基づいて集積回路装置内の回路から出力される出力信号と上記第1の切り換え手段から出力される内部信号を択一的に切り換えて上記出力端子に出力する第2の切り換え手段とを備えたことを特徴とする。

上記第2の発明において、上記記憶手段が n ビットのシフトレジスタであることを特徴とする。

[作用]

上記第1の発明のように構成した集積回路装置において、上記複数 n 個の内部信号のうち特定の1個の内部信号（以下、選択された内部信号という。）を上記テスト専用出力端子から出力させる場合、上記選択された内部信号を出力するための第1又は第2の選択信号のうちの1ビットを例え

ばHレベルとし、上記クロック入力端子を介して入力されるクロック信号に同期して、上記 $(n-1)$ ビットのシリアルデータの第1の選択信号に続いて上記1ビットの第2の選択信号を上記選択信号入力端子を介して上記記憶手段に入力する。これに回答して上記記憶手段は、上記クロック入力端子を介して入力されるクロック信号に同期して上記選択信号入力端子を介して入力される $(n-1)$ ビットのシリアルデータの第1の選択信号を順次格納する。このとき、上記切り換え手段は、上記記憶手段から出力される $(n-1)$ ビットの上記第1の選択信号と上記第1の選択信号に続いてシリアルに上記選択信号入力端子を介して入力される1ビットの第2の選択信号に基づいて集積回路装置内の内部回路から複数 n 個の入力端子に入力される複数 n 個の内部信号のうち上記選択された内部信号を上記テスト専用出力端子に出力する。これによって、この集積回路装置の外部装置から上記第1又は第2の選択信号によって、上記複数 n 個の内部信号のうち出力すべき1個の内部

-7-

介して入力される1ビットの上記第2の選択信号に基づいて、この集積回路装置内の回路から出力される出力信号を上記出力端子に出力する。これによって、この集積回路装置の外部装置から上記第2の選択信号によって、集積回路装置内の回路から出力される出力信号を指定することによって、上記選択された出力信号を上記出力端子に出力することができる。

次いで、上記複数 n 個の内部信号のうち特定の1個の選択された内部信号を上記出力端子から出力させる場合、上記選択された内部信号を出力するための n ビットの第1の選択信号のうちの1ビットをHレベルとしかつ上記1ビットの第2の選択信号をHレベルとし、上記クロック入力端子を介して入力されるクロック信号に同期して、上記 n ビットのシリアルデータの第1の選択信号と上記1ビットの第2の選択信号を上記選択信号入力端子を介して上記記憶手段に入力する。これに回答して上記記憶手段は、上記クロック入力端子を介して入力されるクロック信号に同期して上記選択

信号を指定することによって、上記選択された内部信号を上記テスト専用出力端子に出力することができる。

ここで、上記記憶手段は例えば、 $(n-1)$ ビットのシフトレジスタである。

また、上記第2の発明のように構成した集積回路装置において、この集積回路装置内の回路から出力される出力信号を上記出力端子から出力させる場合、上記第2の選択信号の1ビットを例えばLレベルとし、上記クロック入力端子を介して入力されるクロック信号に同期して、上記 n ビットのシリアルデータの第1の選択信号に続いて上記第2の選択信号を上記選択信号入力端子を介して上記記憶手段に入力する。これに回答して、上記記憶手段は、上記クロック入力端子を介して入力されるクロック信号に同期して上記選択信号入力端子を介して入力される複数 n ビットのシリアルデータの第1の選択信号を順次格納する。このとき、上記第2の切り換え手段は、上記第1の選択信号に続いてシリアルに上記選択信号入力端子を

-8-

信号入力端子を介して入力される複数 n ビットの上記第1の選択信号を順次格納する。このとき、上記第1の切り換え手段は、上記記憶手段から出力される n ビットの上記第1の選択信号に基づいて集積回路装置内の内部回路から複数 n 個の入力端子に入力される複数 n 個の内部信号のうち上記選択された内部信号を出力する。さらに、上記第2の切り換え手段は、上記第1の選択信号に続いてシリアルに上記選択信号入力端子を介して入力される1ビットの第2の選択信号に基づいて上記第1の切り換え手段から出力される上記選択された内部信号を出力する。これによって、この集積回路装置の外部装置から上記第1の選択信号によって、上記複数 n 個の内部信号のうち出力すべき1個の内部信号を指定することによって、上記選択された内部信号を上記出力端子に出力することができる。

ここで、上記記憶手段は例えば、 n ビットのシフトレジスタである。

[実施例]

-9-

-557-

-10-

第1図は本発明の一実施例であるIC装置のブロック図である。

この実施例のIC装置は、2個の切り換え回路SW1、SW2と、4ビットのシフトレジスタSRからなるテスト回路を備えたことを特徴としている。

第1図において、このIC装置の内部回路INCから外部に出力される信号は、入出力ポートIOPを介して、出力データ信号OSとして、切り換え回路SW1のa側に入力される。切り換え回路SW1は、選択信号入力端子Sに入力される選択信号がHレベルであるときb側に切り換え、上記選択信号がLレベルであるときa側に切り換える。この切り換え回路SW1の出力端子は出力端子QTに接続される。

内部回路INCで発生される4ビットの内部信号IS1ないしIS4はそれぞれ、切り換え回路SW2のa、b、c、d入力端子に入力される。切り換え回路SW2は、選択信号入力端子S1ないしS4に入力される選択信号に基づいて、a側、

b側、c側又はd側に択一的に切り換える。すなわち、切り換え回路SW2は、選択信号入力端子S1にHレベルの選択信号が入力されるときa側に切り換え、また、選択信号入力端子S2にHレベルの選択信号が入力されるときb側に切り換え、さらに、選択信号入力端子S3にHレベルの選択信号が入力されるときc側に切り換え、またさらに、選択信号入力端子S4にHレベルの選択信号が入力されるときd側に切り換える。

4ビットのシフトレジスタSRは、縦続接続された4個の遅延型フリップフロップFF1ないしFF4から構成され、フリップフロップFF1のデータ入力端子Dはテストデータ入力端子T1及び切り換え回路SW1の選択信号入力端子Sに接続され、フリップフロップFF1のデータ出力端子Qは切り換え回路SW2の選択信号入力端子S1及びフリップフロップFF2のデータ入力端子Dに接続される。また、フリップフロップFF2のデータ出力端子Qは切り換え回路SW2の選択信号入力端子S2及びフリップフロップFF3の

-11-

データ入力端子Dに接続され、フリップフロップFF3のデータ出力端子Qは切り換え回路SW2の選択信号入力端子S3及びフリップフロップFF4のデータ入力端子Dに接続される。さらに、フリップフロップFF4のデータ出力端子Qは、切り換え回路SW2の選択信号入力端子S4に接続される。ここで、フリップフロップFF1ないしFF4の各クロック入力端子CKはともに接続されて、テストクロック入力端子T2に接続される。

以上のように構成されたIC装置のテスト回路の動作について説明する。

まず、このテスト回路の動作を停止させ、入出力ポート回路IOPから出力される出力データ信号OSを出力端子QTに出力させるとき、外部装置（図示せず。）からテストデータ入力端子T1にLレベルの信号を入力する。これによって、切り換え回路SW1がa側に切り換えられ、入出力ポート回路IOPから出力される出力データ信号OSが切り換え回路SW1のa側を介して出力端

子QTに出力される。

次いで、内部回路INCから出力される内部信号IS2を出力端子QTに出力させるとき、外部装置から所定の周波数を有し5個のパルスからなるクロック信号をテストクロック入力端子T2に inputsするとともに、上記クロック信号に同期した5ビットの"00101"のシリアルデータ信号をテストデータ入力端子T1に inputsする。このシリアルデータ信号は、4ビットのシフトレジスタSRに入力され、上記5個のパルスからなるクロック信号がフリップフロップFF1ないしFF4に入力されたとき、フリップフロップFF1ないしFF4の各データ出力端子Qはそれぞれ、Lレベル、Hレベル、Lレベル、及びLレベルとなり、各レベルの信号が切り換え回路SW2の各選択信号入力端子S1ないしS4に入力される。また、シリアルデータ信号のうちの最後の5ビット目のHレベルのデータ信号は切り換え回路SW1の選択信号入力端子Sに入力される。

これによって、切り換え回路SW1がb側に切

-12-

り換えられるとともに、切り換え回路SW2がb側に切り換えられる。このとき、内部回路INCから出力される内部信号IS2は、切り換え回路SW2のb側及び切り換え回路SW1のb側を介して出力端子QTに出力され、この出力端子QTに外部テスト装置を接続することによりこの内部信号IS2のレベルを確認することができる。

以上のように構成されたIC装置のテスト回路において、内部回路INCから出力される1個の内部信号(IS1ないしIS4のうちの1つ)を出力端子QTに出力させるとき、外部装置から所定の周波数を有し5個のパルスからなるクロック信号をテストクロック入力端子T2に入力するとともに、上記クロック信号に同期した5ビットの“X,X,X,X,1”のシリアルデータ信号をテストデータ入力端子T1に入力する。ここで、ビットX,ないしX,はそれぞれ内部信号IS1ないしIS4に対応し、内部信号IS1ないしIS4のうち1つの内部信号を出力する場合、上記4ビットのうちの対応するX,ないしX,のうちの1ビット

がHレベルである“1”とされる。

以上説明したように、2対1の切り換え回路SW1と、4対1の切り換え回路SW2と、4ビットのシフトレジスタSRと、テストデータ入力端子T1と、テストクロック入力端子T2を備えることによって、内部回路INCから出力される4個の内部信号を択一的に選択して出力端子QTに出力することができる。

以上の実施例においては、入出力ポート回路IOPから出力される出力データ信号OSを出力するための出力端子QTを用いて、内部信号IS1ないしIS4を出力する場合について述べているが、これに限らず、出力端子QTとは別のテスト専用出力端子がある場合、切り換え回路SW2の出力端子を上記別のテスト専用端子に接続して構成するようにしてもよい。この場合、切り換え回路1が不要であり、3ビットのシフトレジスタを備えればよく、テストデータ入力端子T1に入力されるシリアルデータ信号は上記X,ないしX,の4ビットであって、テストクロック入力端子T2

-15-

に4個のパルスからなるクロック信号が入力される。

以上の実施例において、4対1の切り換え回路SW2を備えているが、これに限らず、複数n対1の切り換え回路を備えるようにしてもよい。このとき、n個の内部信号を出力端子QTから出力することができる。

[発明の効果]

以上詳述したように本発明によれば、クロック入力端子を介して入力されるクロック信号に同期して選択信号入力端子を介して入力される自然数(n-1)ビットのシリアルデータの第1の選択信号を順次格納する記憶手段と、上記記憶手段から出力される(n-1)ビットの上記第1の選択信号と上記第1の選択信号に続いてシリアルに上記選択信号入力端子を介して入力される1ビットの第2の選択信号に基づいて集積回路装置内の内部回路から複数n個の入力端子に入力される複数n個の内部信号を択一的に切り換えて上記テスト専用出力端子に出力する切り換え手段とを備えた

-17-

-16-

ので、上記3個の端子を用いて、上記複数n個の内部信号を択一的に切り換えて上記テスト専用端子に出力することができる。従って、従来例に比較して少ない個数の端子を用いて、上記内部信号を出力させることができるという利点がある。

また、上記テスト出力端子が無く、集積回路装置内の回路から出力される出力信号を出力させるための出力端子を用いて上記内部信号を出力させる場合、上述したように、上記の構成に加えて、集積回路装置内の回路から出力される出力信号と上記切り換え手段から出力される内部信号を択一的に切り換えて上記出力端子に出力する別の切り換え手段を備えることにより、上記3個の端子を用いて、上記複数n個の内部信号を択一的に切り換えて上記テスト専用端子に出力することができる。従って、従来例に比較して少ない個数の端子を用いて、上記内部信号を出力させることができるという利点がある。

4. 図面の簡単な説明

第1図は本発明の一実施例であるIC装置のブ

—559—

-18-

ロック図である。

SW1…2対1の切り換え回路、

SW2…4対1の切り換え回路、

SR…4ビットシフトレジスタ、

T1…テストデータ入力端子、

T2…テストクロック入力端子、

QT…出力端子、

IOP…入出力ポート回路、

INC…内部回路。

特許出願人 株式会社 リコー

代理人 弁理士 青山 葆ほか1名

- 19 -

第 1 図

